

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

AUTOMATIC REGULATING CIRCUIT FOR OFFSET

Patent Number: JP5026909
Publication date: 1993-02-05
Inventor(s): NOMA MOTONOBU
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP5026909
Application Number: JP19910186144 19910725
Priority Number(s):
IPC Classification: G01R19/00; H03M1/10
EC Classification:
Equivalents:

Abstract

PURPOSE: To regulate automatically the offset of an A/D conversion circuit.

CONSTITUTION: A sampling circuit 6 for sampling an input signal, a low-pass filter 7 for removing a sampling frequency component contained in the sampled input signal and an A/D conversion circuit 3 subjecting an output of the low-pass filter 7 to A/D conversion are provided. A construction is so made that an offset error is determined by integrating a digital signal obtained from the A/D conversion for one period and by dividing it at a sampling rate for one period and that the input signal is corrected on the basis of the offset error obtained.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-26909

(43)公開日 平成 5 年(1993) 2 月 5 日

(51)Int.Cl.⁵

G 0 1 R 19/00

H 0 3 M 1/10

識別記号

N 9016-2G

A 9065-5J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平3-186144

(22)出願日 平成 3 年(1991) 7 月25日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 野間 元暢

丸亀市蓬萊町 8 番地 三菱電機株式会社丸
亀製作所内

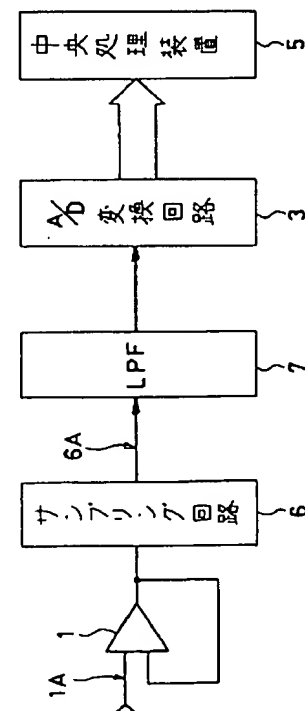
(74)代理人 弁理士 高田 守 (外 1 名)

(54)【発明の名称】 オフセット自動調整回路

(57)【要約】

【目的】 A/D変換回路のオフセットを自動的に調整する。

【構成】 入力信号をサンプリングするサンプリング回路、サンプリングされた入力信号に含まれるサンプリング周波数成分を除去するローパスフィルタ、ローパスフィルタの出力をA/D変換するA/D変換回路を備え、A/D変換されたデジタル信号の1周期分を積分しかつ1周期のサンプリングレートで割算することによりオフセット誤差を求め、得られたオフセット誤差に基づいて入力信号を補正するように構成している。



【特許請求の範囲】

【請求項 1】 入力信号を処理するべき回路システムのオフセットを自動調整する回路システムにおいて、入力端子に与えられる較正用の正弦波信号を 1 周期について n 回のサンプリングレートでサンプリングするサンプリング回路、

サンプリング回路の出力信号が入力され同出力信号に含まれるサンプリング周波数成分を除去するローパスフィルタ、

サンプリング回路の出力端からローパスフィルタを通して与えられた信号を A/D 変換する A/D 変換回路、及び A/D 変換されたデジタル信号が入力され、1 周期分の n 個のデジタル信号の値を積分し、その積分値を n で割ることによりオフセットによる誤差を求めるとともに、前記誤差をその極性にしながら前記の入力信号に加え又は減じて入力信号の値を補償する中央処理装置、を有するオフセット自動調整回路

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は A/D 変換回路等におけるオフセットを自動的に調整するオフセット自動調整回路に関する。

【0002】

【従来の技術】 図 5 は従来の A/D 変換回路におけるオフセット調整手段を示すブロック図である。図において、アナログ入力 IA はオペレーショナルアンプ 1 によって増幅され A/D 変換回路 3 に入力される。A/D 変換されたデジタル信号は中央演算装置 5 に入力され所定の演算を行なうようになされている。

【0003】 上記の回路においては、オペレーショナルアンプ 1 と A/D 変換回路 3 においてオフセット誤差が生じるおそれがある。したがってそれぞれに可変抵抗 2 及び 4 を設けてオフセット調整を行なうようになされている。

【0004】

【発明が解決しようとする課題】 従来のオフセット調整回路では可変抵抗 2 及び 4 を人手により調整する必要があるその作業は繁雑である。また一度調整しても経時変化で誤差が生じる場合がある。

【0005】

【課題を解決するための手段】 この発明のオフセット自動調整回路は、正弦波の入力信号を 1 周期について n 回のサンプリングレートでサンプリング回路によりサンプリングし、サンプリングされた入力信号に含まれるサンプリング周波数成分をローパスフィルタにより除去し、サンプリングされた入力信号を A/D 変換回路により A/D 変換し、A/D 変換されたデジタル信号の 1 周期分の n 個のデジタル信号の値を積分し、その積分値を n で割ることによりオフセットによる誤差を求めるとともに、前記誤差を用いて入力信号の値を中央処理装置で補

償するように構成している。

【0006】

【作用】 1 周期の正弦波の入力信号を積分した結果の出力が零でないときはオフセット誤差が生じているのであり、その値を中央処理装置の入力値から減算又は入力値に加算することによりオフセット誤差が補正される。

【0007】

【実施例】 図 1 はこの発明の A/D 変換回路のブロックダイアグラムを示す。図において、正弦波の入力信号 IA (図 3 にその波形を示す) はオペレーションアンプ 1 で増幅されてサンプリング回路 6 に入力される。サンプリング回路 6 においては、1 周期に n 回のサンプリングレートでサンプリングされる。サンプリングされた信号 6A の波形は図 4 に示すように正負の電圧のパルス列からなる。サンプリングされた信号 6A はローパスフィルタ 7 (図 1 においては LPF と略記する) によって高周波数成分が除去され、A/D 変換回路 3 に入力される。

【0008】 A/D 変換回路 3 においては、図 4 に示すパルス信号が A/D 変換され、デジタル値として中央処理装置 5 に入力される。図 2 は中央処理装置の動作を示すフローチャートである。中央処理装置 5 においては、ステップ 5A において信号値が入力されると、正弦波の較正用信号の 1 周期分のサンプル数である n 個のパルス信号のデジタル値 (符号を含む) を積分する (ステップ 5B, 5C)。次に積分された値を 1 周期のサンプル数 n で割算する (ステップ 5D)。その結果得られる値がオフセット誤差の値を表わしている (ステップ 5E)。得られたオフセット誤差に基づいて、中央処理装置 5 において入力信号を補正する (ステップ 5F)。

【0009】 中央処理装置 5 においては、入力信号の値に対して上記のオフセット誤差をその誤差の極性にしながら加算又は減算して補償を行ない、オペレーショナルアンプ 1 と A/D 変換回路 3 のオフセット誤差を実質的に零にすることができる。図 2 に示すオフセット誤差の演算及び調整は自動的にかつ定期的 (例えば 1 分毎に) に行なわれるのが好ましい。

【0010】

【発明の効果】 この発明によればオペレーショナルアンプ 1 及び A/D 変換回路 3 にオフセット誤差があっても、その誤差は中央処理装置 5 において補償されるので人手によるオフセットの調節は不要である。又オフセット誤差の調整を定期的に行なうことにより A/D 変換回路 3 のオフセット誤差が経時変化する場合でも常に適正に補償される。

【図面の簡単な説明】

【図 1】 この発明の実施例ブロックダイアグラム。

【図 2】 この実施例の動作を示すフローチャート。

【図 3】 入力信号の波形図。

【図 4】 サンプリングされた入力信号の波形図。

【図 5】 従来の A/D 変換回路のブロックダイアグラム

△。

【符号の説明】

1A 入力信号

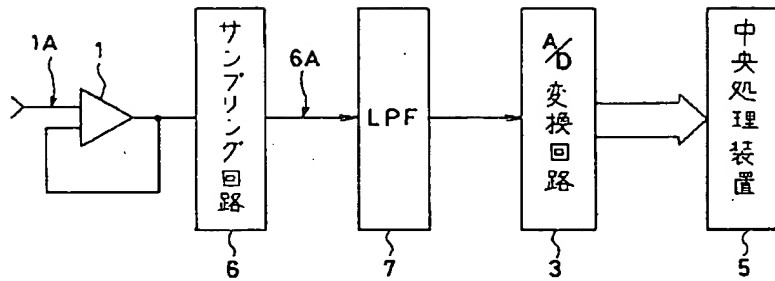
3 A/D変換回路

5 中央処理装置

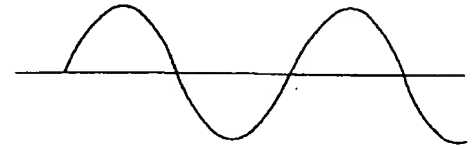
6 サンプリグ回路

7 ローパスフィルタ

【図1】



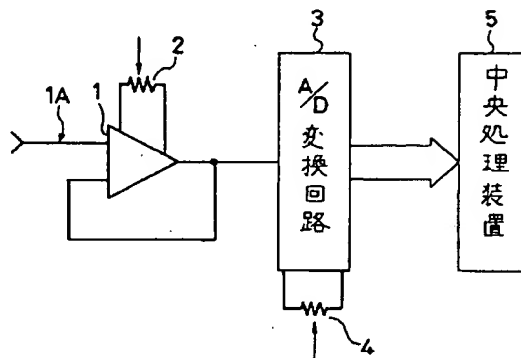
【図3】



【図4】



【図5】



【図 2】

